

# *L'industrialisation des cartes électroniques*



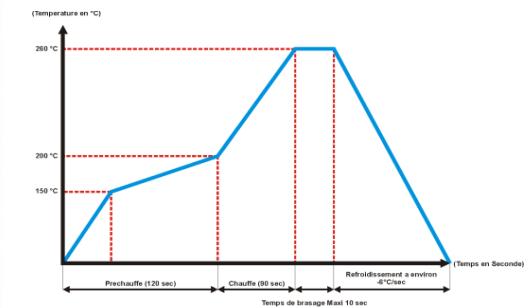
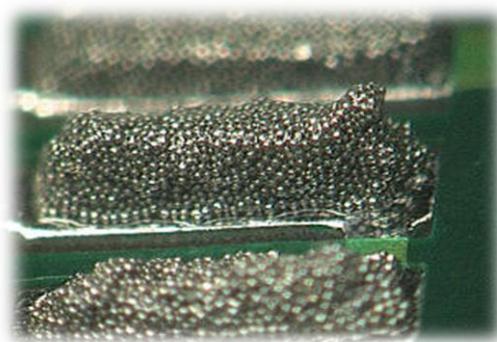
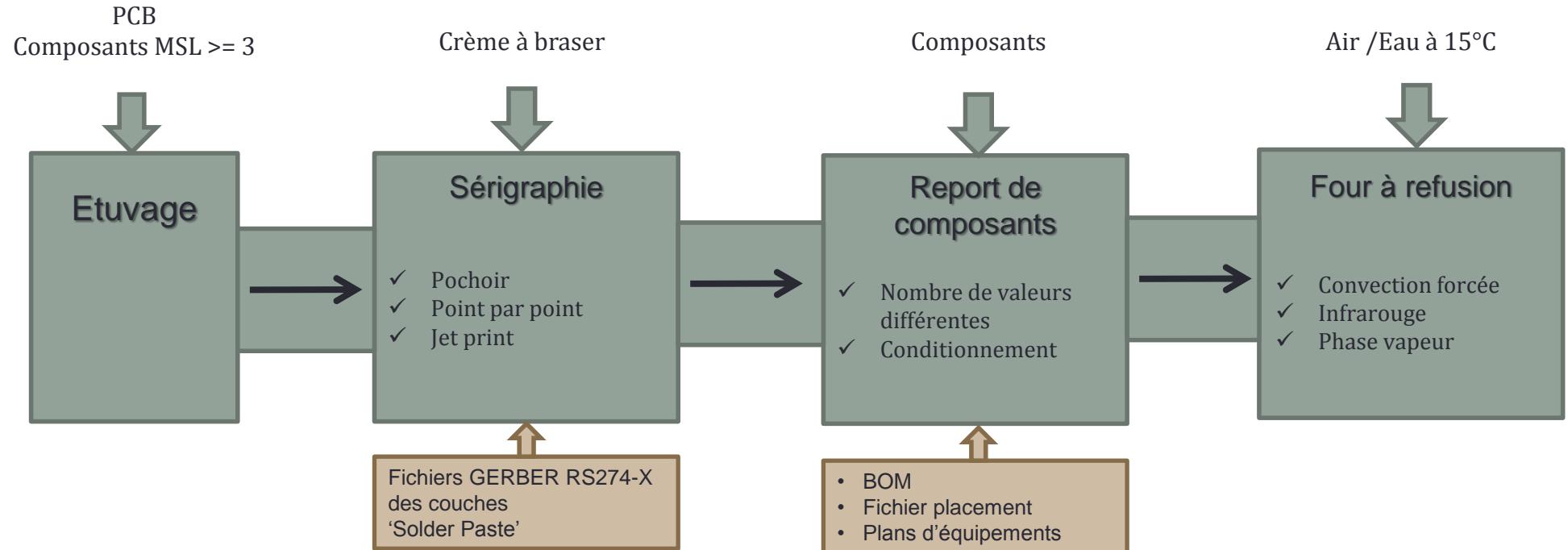
---

Transformons vos essais

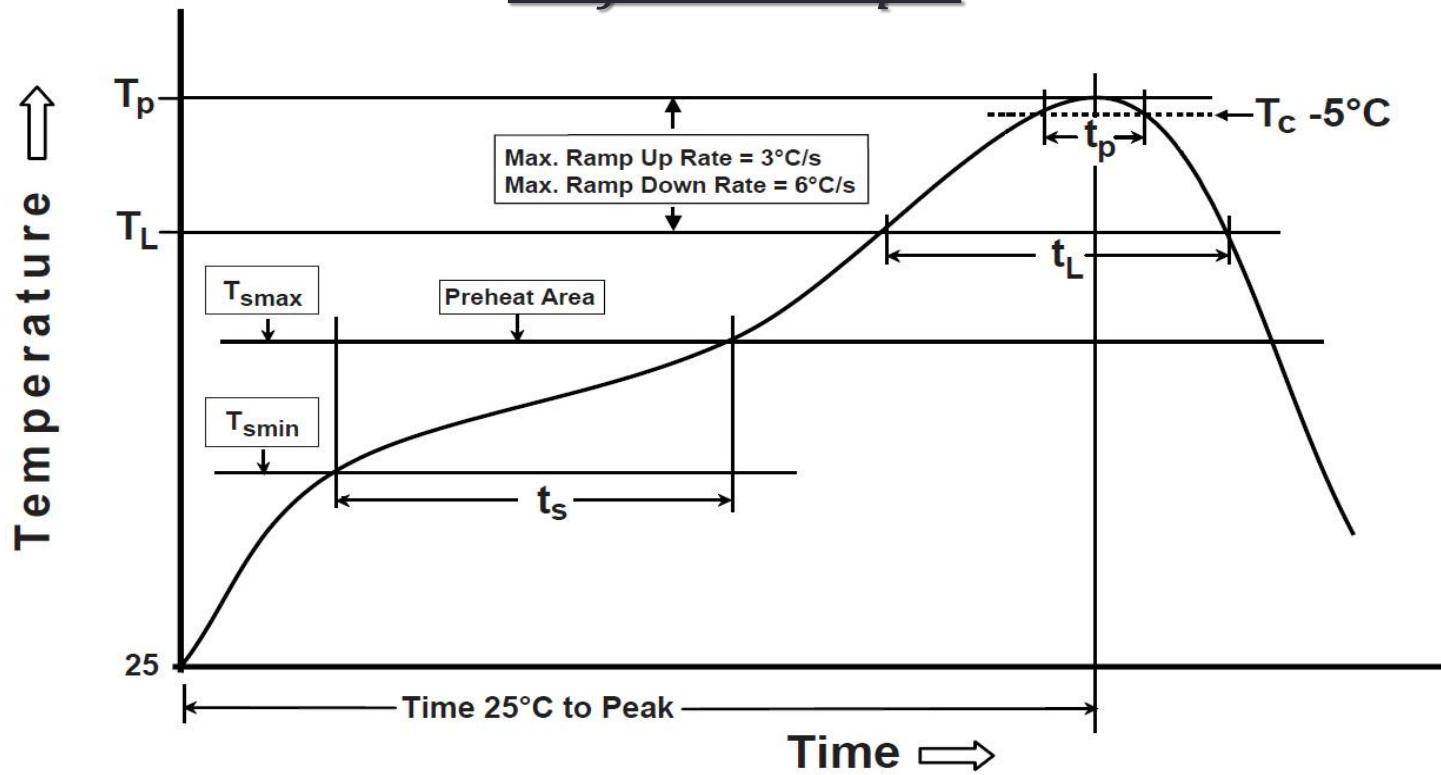
# PLAN

- La ligne d'assemblage
- Profil thermique
- Bilan de la vidéo
- Les bords techniques
- Le détourage
  - ✓ Les bretelles
  - ✓ Le V-scoring
  - ✓ Le Milling
  - ✓ Le positionnement
  - ✓ Les risques
- Les mires d'alignements
- Les contraintes de conception
- Le circuit imprimé
- La finition
- Gestion des documents
- Choix des composants
  - ✓ Optimisation des nomenclatures
  - ✓ Compatibilité thermique
- Les décharges électrostatiques (ESD)
- L'étuvage
- Pin in paste
- Press fit

# La ligne d'assemblage



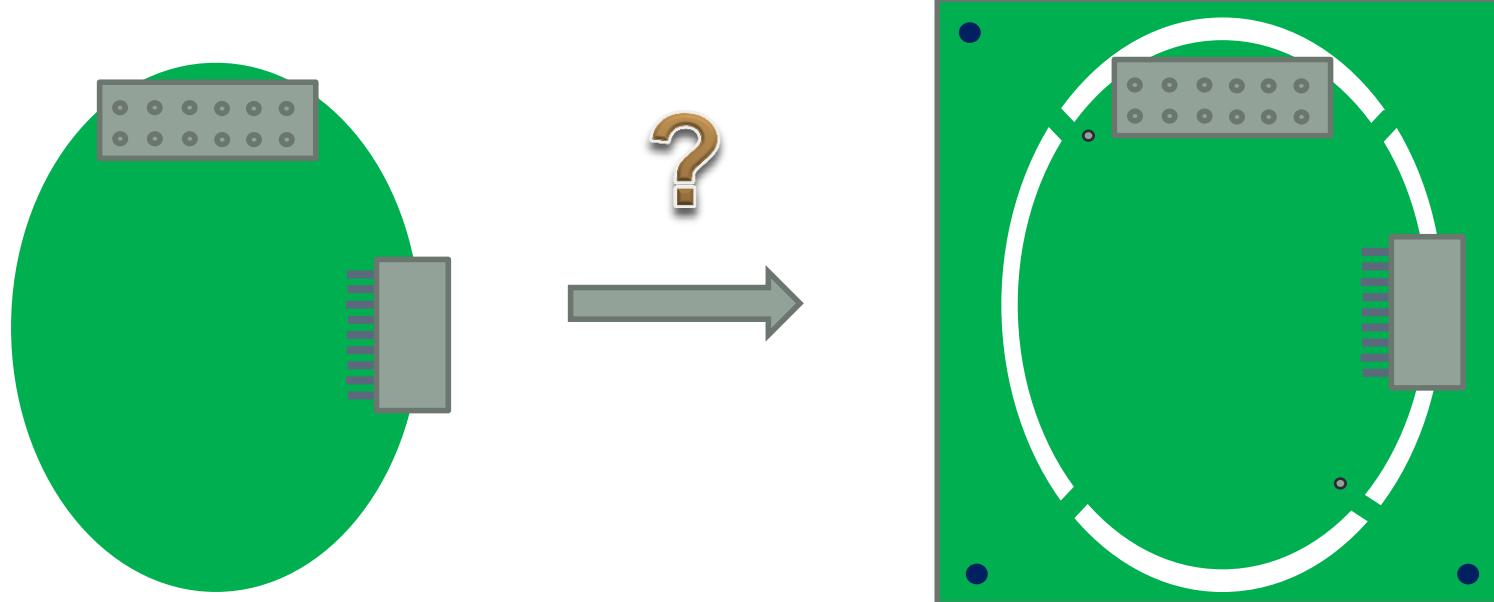
## Profil thermique



|   | <b>SnPb</b> | <b>Pb-Free</b> |
|---|-------------|----------------|
| <b>Température de liquidus (TL)</b>                   | 183°C       | 217°C          |
| <b>Température de pic (Tp)</b>                        | 220°C       | 250°C          |
| <b>Préchauffe min(Tsmin)</b>                          | 100°C       | 150°C          |
| <b>Préchauffe max(Tsmax)</b>                          | 150°C       | 200°C          |
| <b>Temps (ts)entre Tsmin et Tsmax</b>                 | 60-120s     | 60-120s        |
| <b>Pente de monté en température (entre TL et TP)</b> | 3°C/s max   | 3°C/s max      |
| <b>Temps au dessus du liquidus (tL)</b>               | 60-150s     | 60-150s        |
| <b>Pente de refroidissement (entre Tp et TL)</b>      | 6°C/s max   | 6°C/s max      |
| <b>Temps entre 25°C et Tp</b>                         | 6 min max   | 8 min max      |

## Récapitulatif des contraintes observées sur la vidéo

- Tous les convoyages sont à base de courroies :
  - ➔ Aspect extérieur du PCB de forme rectangulaire
  - ➔ Les 2 bords de cartes servant de convoyage doivent être exempts de composants sur une largeur de 5 mm sur les 2 faces.
- Mires de centrage



*Dans l'idéal, l'opérateur ne doit pas manipuler les pcb entre les différentes étapes du process. Afin d'y parvenir, toutes les contraintes d'assemblage doivent être réfléchies.*

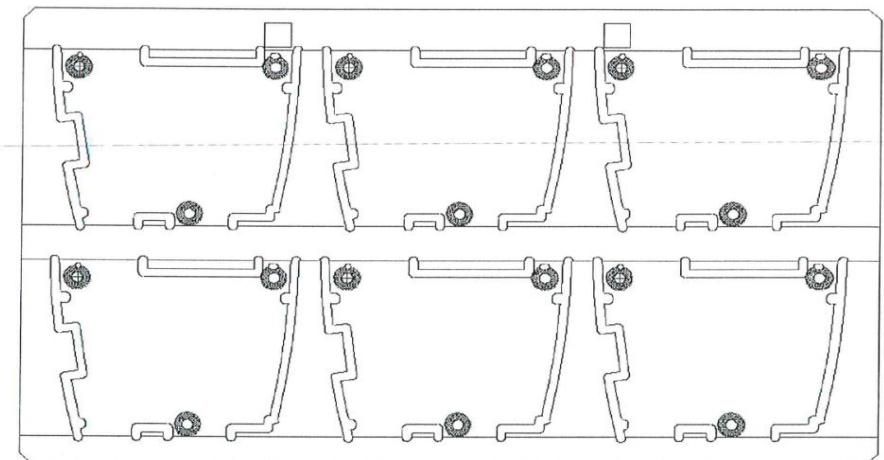
## Les bords techniques

Conception mécanique du circuit imprimé pas forcément adaptée à un processus de fabrication industriel.

Il convient donc de rajouter des bandes techniques ou d'effectuer une mise en flan qui doivent tenir compte de :

- Dimensions minimum des cartes (50 \* 50 mm)
- Dimensions maximum (420 \* 350 mm)
- L'outillage d'assemblage (sérigraphie, refusion,...)
- L'outillage de dégrappage (V-scoring, bretelles, Milling)
- Impact sur la surface disponible pour le routage
- Ratio PCB « utile »/ PCB « perdu »
- Optimisation de la quantité de PCB sur un flan

Exemple de mise en flan par 6 :



## Le détourage

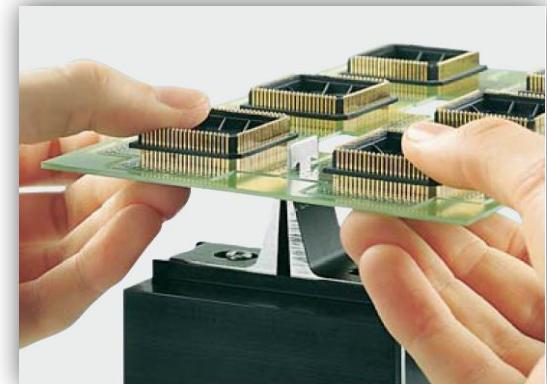
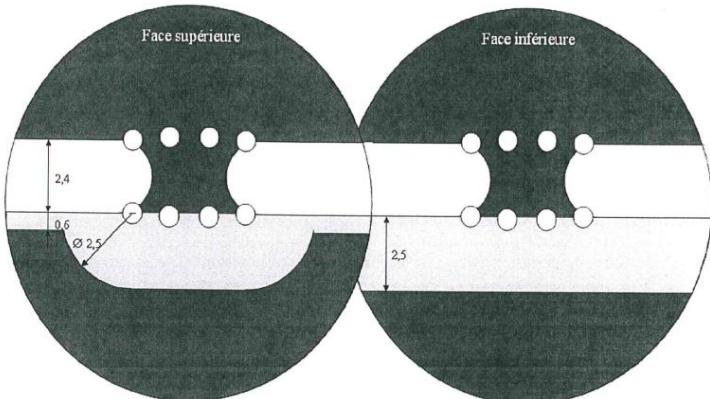
Pour effectuer une mise en flan ou le rajout de bandes techniques, il existe 3 sortes de liaisons :

❖ Les bretelles (ou timbre poste) :

La définition des bretelles doit permettre de ne pas avoir de matière résiduelle pouvant dépasser du PCB suite à séparation.

Largeur du détourage : 1,5mm; 2mm ou 2,5mm

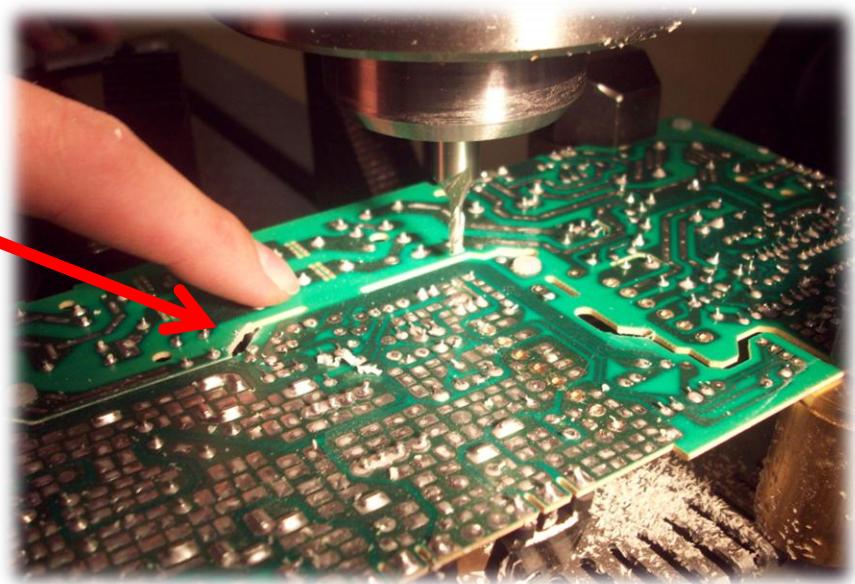
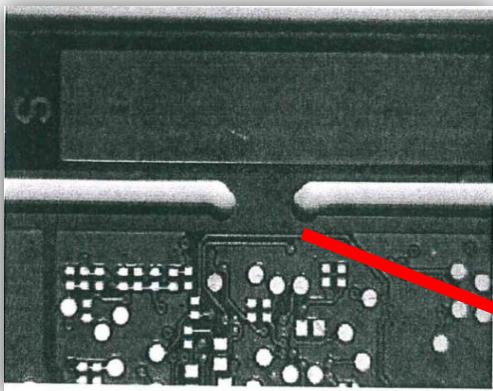
Ne permet pas de dégrapper les PCB de forme arrondie.



## Le détourage

### ❖ Le Milling:

Le Milling (détourage numérique) est une méthode de séparation réalisée par fraisage.

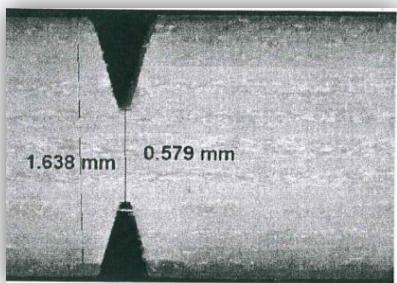


- ✓ Les bretelles ne comportent pas de « timbres poste ».
- ✓ Il faut prévoir de bloquer le PCB avec des plots pour empêcher la carte de tourner.

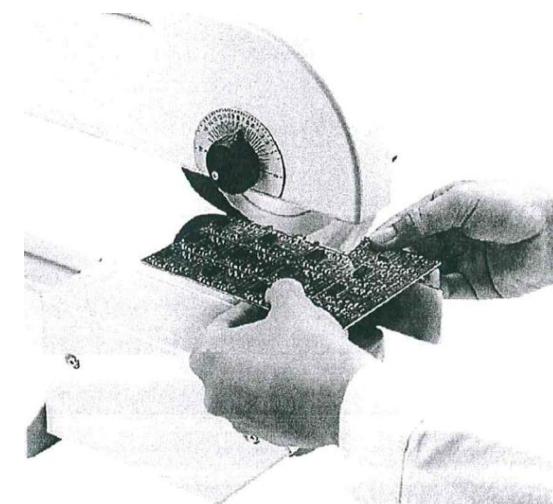
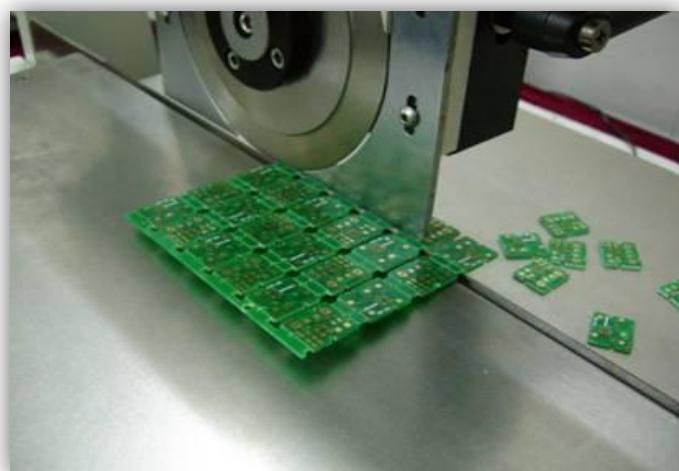
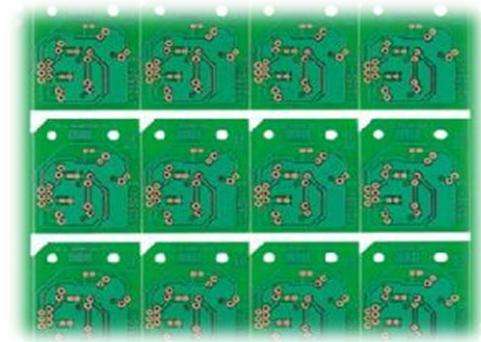
## Le détourage

### ❖ Le V-scoring:

Le V-scoring (ou rainurage) consiste à pratiquer 2 rainures situées en vis-à-vis de façon à rendre sécable le PCB.

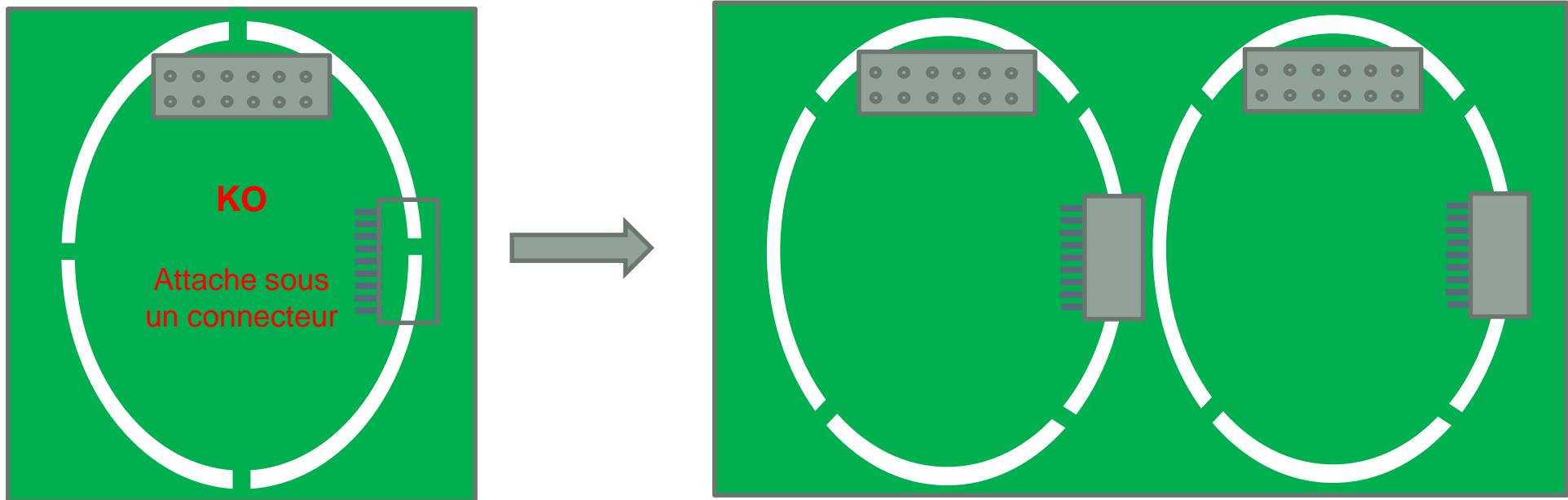


Il est important de spécifier l'épaisseur de matière résiduelle pour ne pas avoir une liaison soit trop flexible, soit trop rigide.



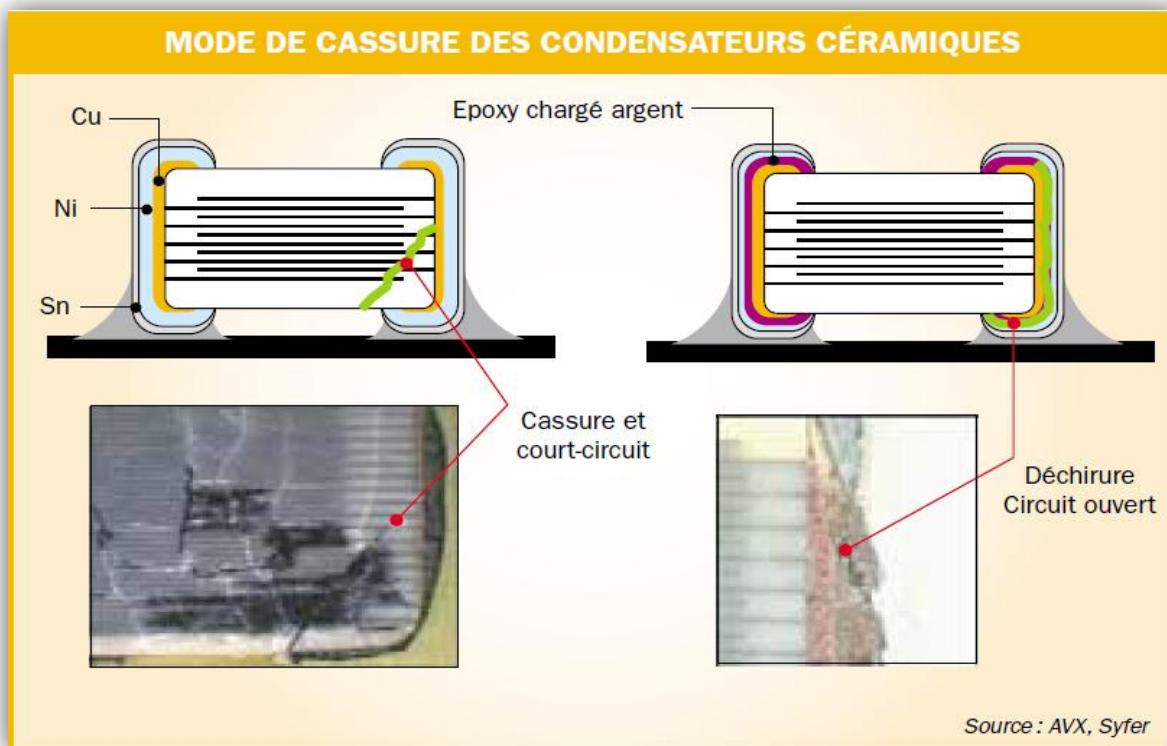
## Le détourage

- *Positionnement des points d'accroches par rapport à leur environnement.*
- *Quantité des points d'attache.*
- *Dégagement nécessaire à un composant qui déborde de la carte.*



## Le détourage : les risques

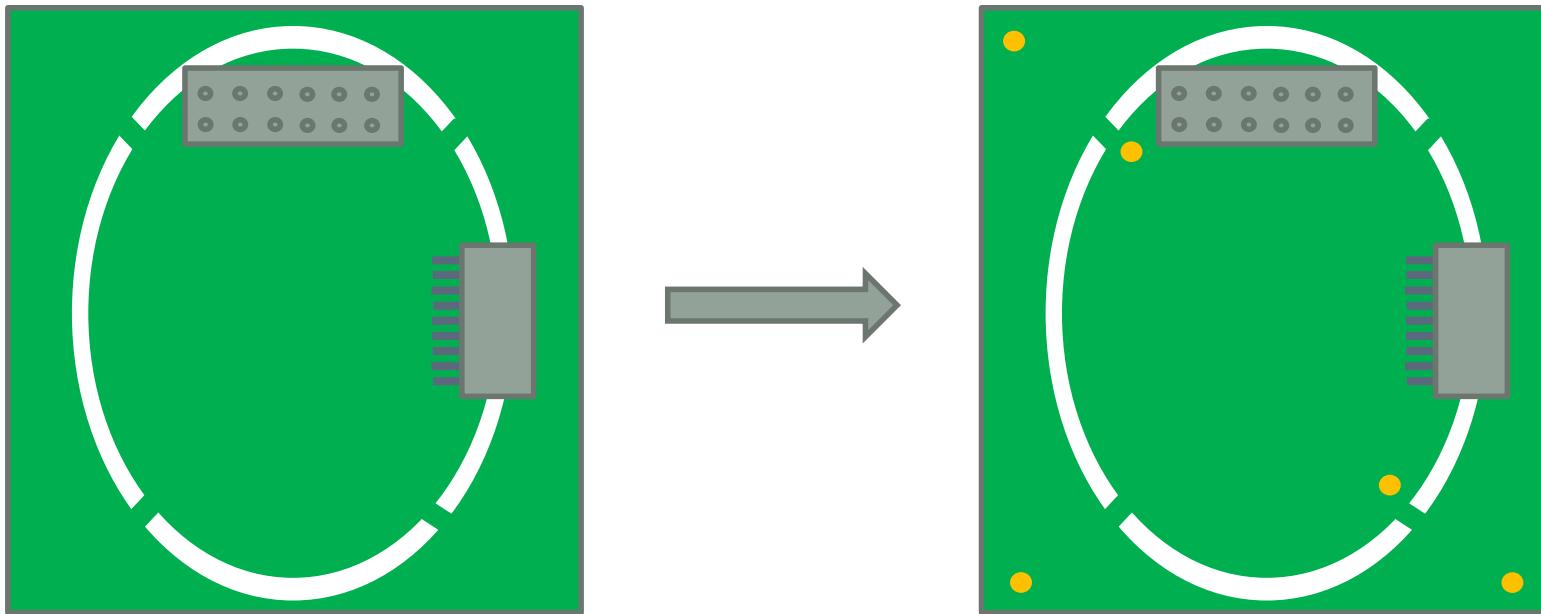
Des outillages spécifiques sont utilisés pour séparer les cartes ou détacher les bandes techniques, la séparation manuelle abîme bien souvent les composants.



En règle générale, on cherchera à éviter de placer des CMS à proximité des zones de séparation.

- Risque de fracture du joint à causes des contraintes mécaniques
- Dégradation des composants
- Arrachement de la fibre de verre provoquant des risques de délamination

## Les mires d'alignements



Les mires devront être positionnées en diagonale et de manière asymétrique de façon à pouvoir détramer le sens de passage lors du convoyage si elles sont convoyées en unitaire.

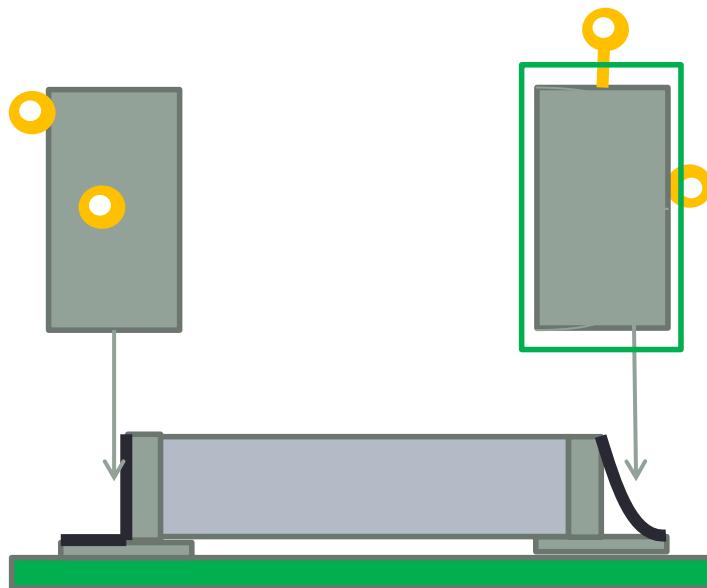
Dans le cas d'une double refusion, les mires doivent être sur les deux faces.

- 2 ronds de 1mm non vernis suivant une diagonale, à au moins 5 mm du bord dans le cas où la carte n'a pas de bord technique.
- Pour les panneaux, il doit y avoir 3 ronds de 1mm de diamètre à au moins 5 mm du bord de carte.
- Déclarées comme composants pour apparaître dans les données d'import.

## Contraintes de conception

Devront être pris en compte l'ensemble des contraintes liées au process de fabrication, machines et outillages utilisés pour équiper, souder, tester et vernir le produit.

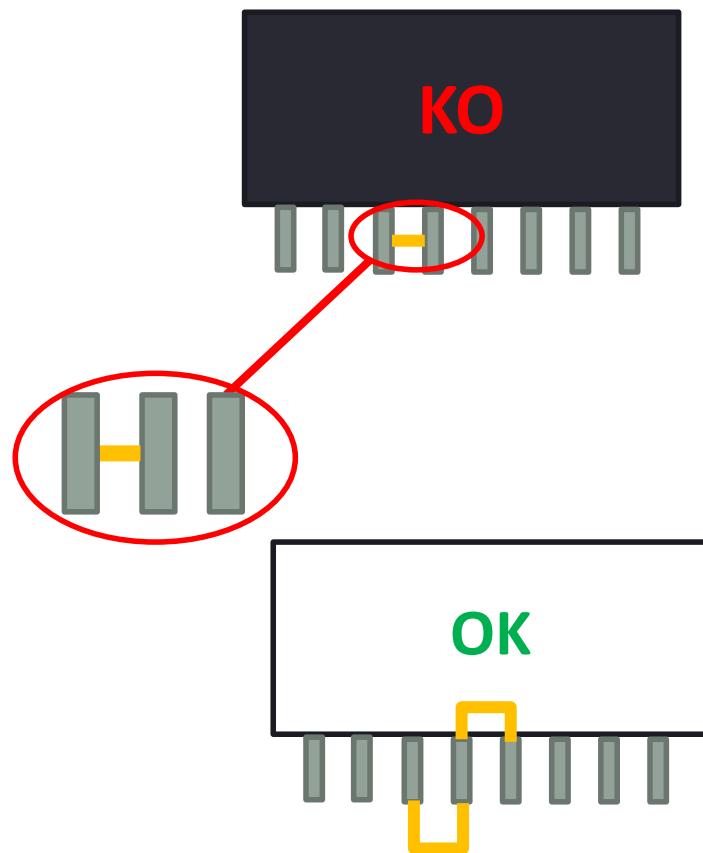
### Les différentes erreurs à éviter :



#### ✓ Les via :

- Ne pas implanter de via non bouchés dans les plages des composants CMS ou trop proche des plages d'accueils (risque de migration de crème > joint pauvre)
- Ne pas positionner de via en vis-à-vis de composant ou zone à ne pas vernir (fluage du vernis d'une face à l'autre)

## Contraintes de conception

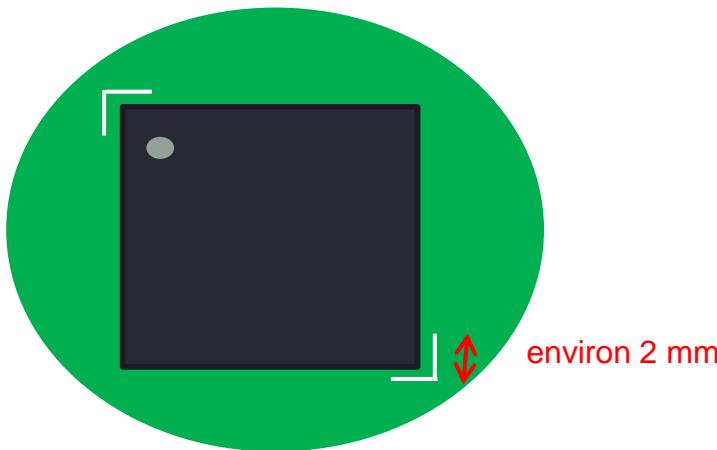


Les différentes erreurs à éviter :

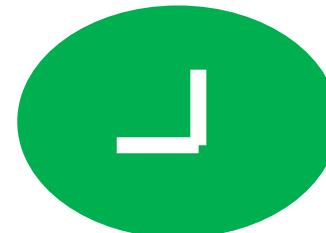
- ✓ Les via dans les pastilles des composants
- ✓ Les pistes entre les plages

## Contraintes de conception

Les différentes erreurs à éviter :

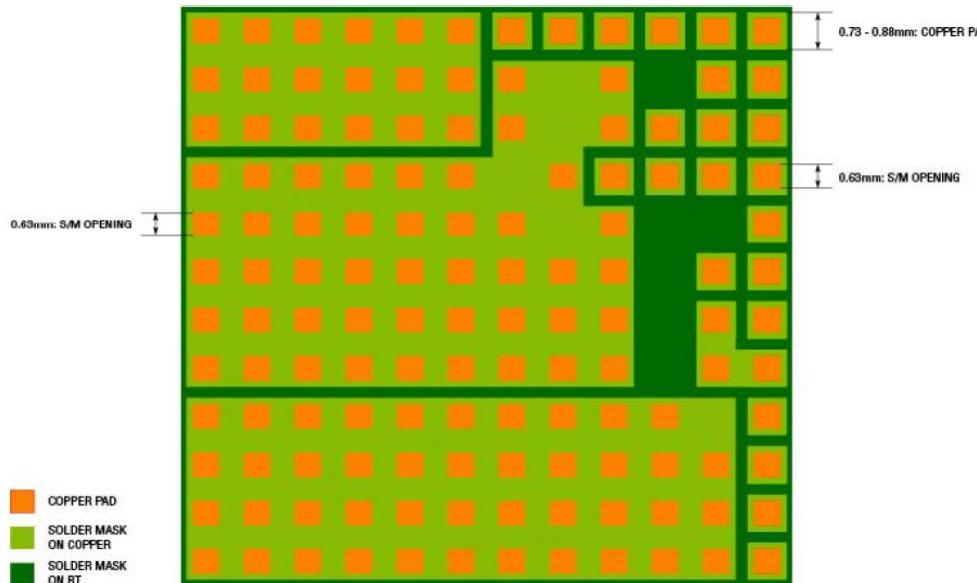


- ✓ Les via dans les pastilles des composants
- ✓ Les pistes entre les plages
- ✓ **Ne pas oublier le repérage des angles de BGA**
  - Soit sur la couche des plages d'accueils (TOP/BOTTOM) avec du cuivre.
  - Soit sur la couche vernis épargné par absence de vernis.

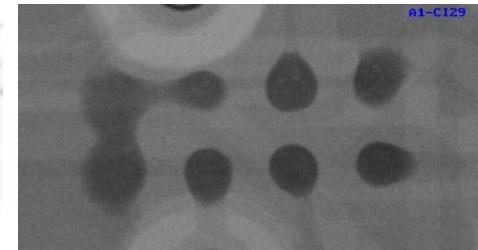
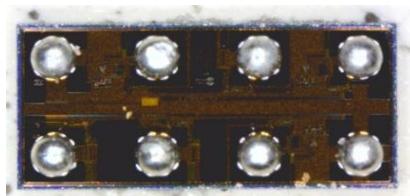
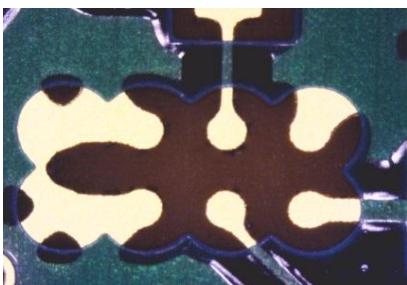


## Contraintes de conception

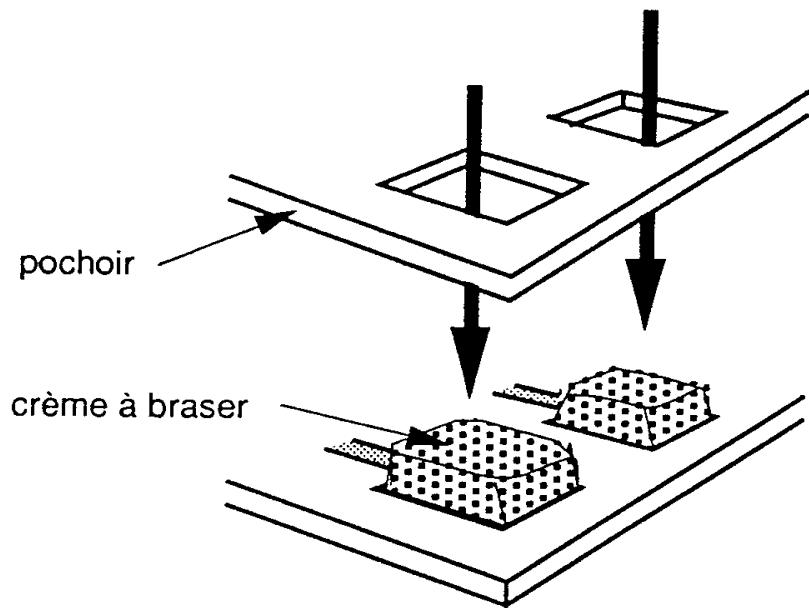
Les différentes erreurs à éviter :



- ✓ Les via dans les pastilles des composants
- ✓ Les pistes entre les plages
- ✓ Ne pas oublier le repérage des angles de BGA
- ✓ **Penser à homogénéiser les plages des composants tel que BGA, LGA ou QFN**
  - SMD (Solder Mask Defined)
  - Freins thermiques

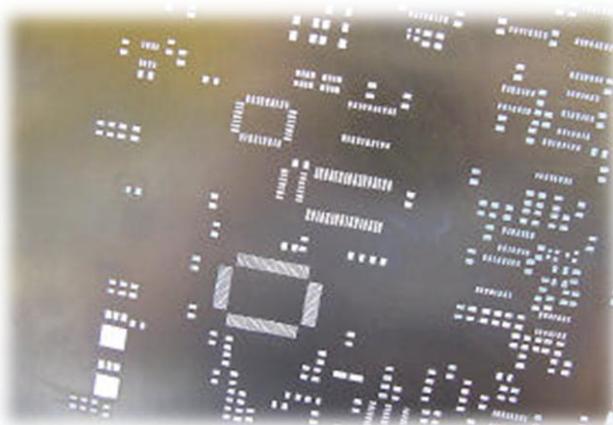


## Contraintes de conception



Les différentes erreurs à éviter :

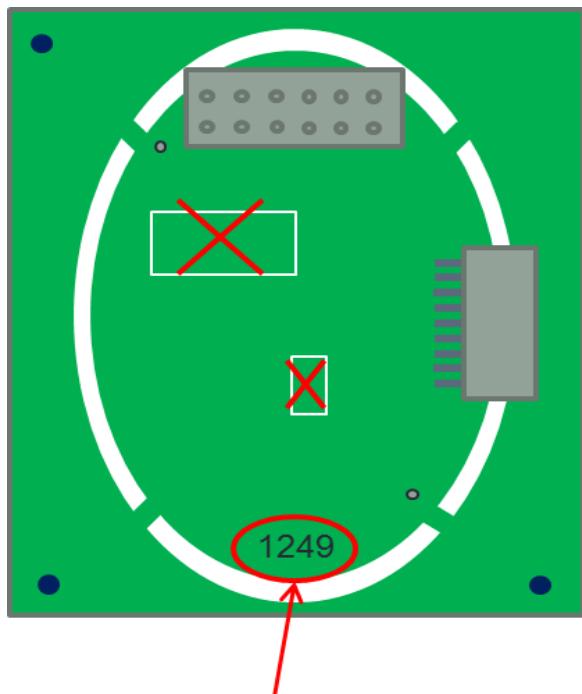
- ✓ Les via dans les pastilles des composants
- ✓ Les pistes entre les plages
- ✓ Ne pas oublier le repérage des angles de BGA
- ✓ Penser à homogénéiser les plages des composants tel que LGA ou QFN
- ✓ **Faire attention aux ouvertures du pochoir (1:1)**



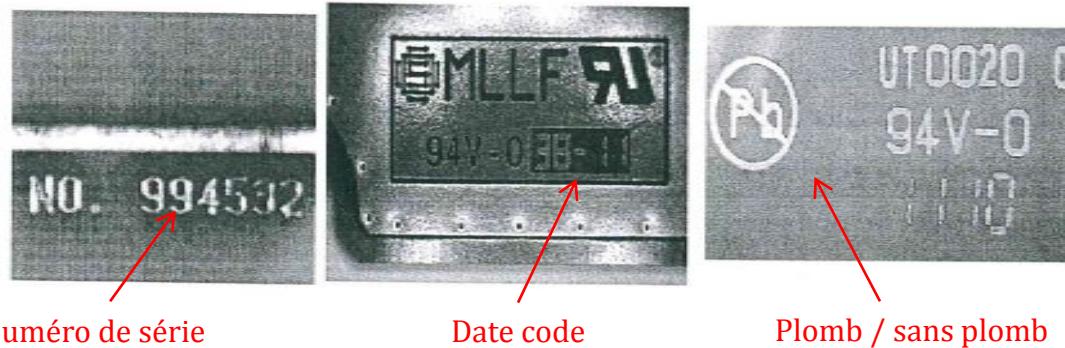
## Le circuit imprimé

### Identification, repères et traçabilité :

Une fois les PCB fabriqués, il sera judicieux de pouvoir facilement retrouver les informations suivantes :



Date code année/semaine

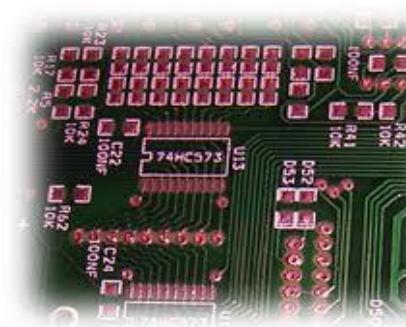


### Les paramètres importants :

- ✓ Date code apparent
- ✓ La finition
- ✓ L'utilisation de vernis sélectif
- ✓ Proscrire la sérigraphie

## Les finitions

|                                 |   | HAL sans plomb | Cuivre passivé | Nickel Or    | Etain chimique |
|---------------------------------|---|----------------|----------------|--------------|----------------|
| durée de stockage avant câblage |   | 12 mois        | 6 mois         | 12 mois      | 6 mois         |
| Impact sur le process           | Planeité                                | mauvais        | très bien      | très bien    | très bien      |
|                                 | Sensibilité à l'étuvage                 | peu sensible   | très sensible  | peu sensible | très sensible  |
|                                 | Nombre de phase de soudure maxi         | 3 à 4          | 2              | 4 à 5        | 2              |
|                                 | Durée maxi entre les phases de soudures | sup. 2 mois    | 1 semaine      | sup. 3 mois  | 2 semaines     |
|                                 | Sensibilité au touché                   | peu sensible   | très sensible  | peu sensible | très sensible  |



## Gestion des documents

### Les points importants :

- ✓ Ne pas indiquer de référence fabricant si elles ne sont pas imposées (ne mettre que les caractéristiques importantes)
- ✓ Penser à limiter le nombre de référence de composants
- ✓ Indiquer les équivalences dans la nomenclature
- ✓ Vérifier la compatibilité thermique des composants avec le process envisagé
- ✓ Une évolution de nomenclature = nouveau programme → évolution d'indice
- ✓ Une évolution de PCB = nouveau pochoir de sérigraphie + nouveau programme → évolution d'indice



## Choix des composants

### Optimisation des nomenclatures

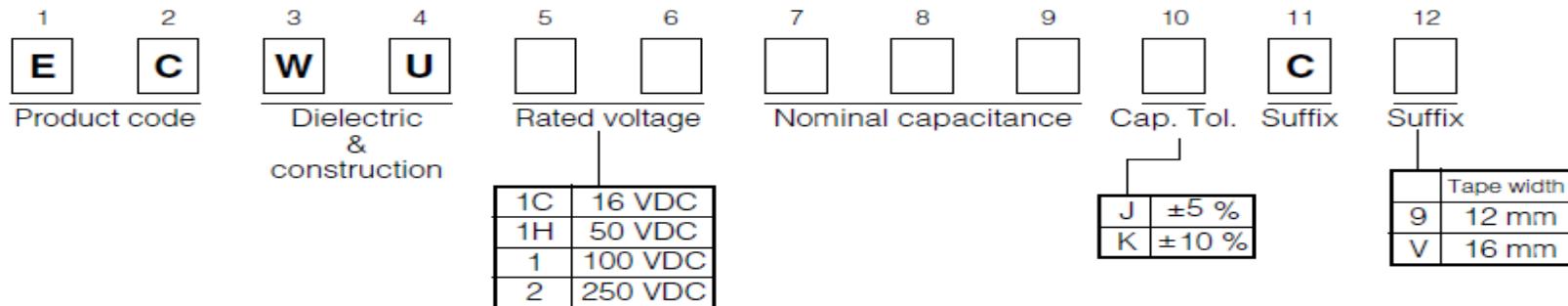
|  |    |   |   |   |    |   |  |
|--|----|---|---|---|----|---|--|
| S29GL032N  | 90 | T | F | I | 01 | 0 |  |
| <b>PACKING TYPE</b>  |    |   |   |   |    |   |  |
| 0 = Tray   |    |   |   |   |    |   |  |
| 2 = 7-inch Tape and Reel   |    |   |   |   |    |   |  |
| 3 = 13-inch Tape and Reel  |    |   |   |   |    |   |  |
| <b>MODEL NUMBER</b>  |    |   |   |   |    |   |  |
| 01 = x8/x16, $V_{CC} = V_{IO} = 2.7 - 3.6$ V, Uniform sector, WP#/ACC = $V_{IL}$ protects highest addressed sector                 |    |   |   |   |    |   |  |
| 02 = x8/x16, $V_{CC} = V_{IO} = 2.7 - 3.6$ V, Uniform sector, WP#/ACC = $V_{IL}$ protects lowest addressed sector                  |    |   |   |   |    |   |  |
| 03 = x8/x16, $V_{CC} = 2.7 - 3.6$ V, Top boot sector, WP#/ACC = $V_{IL}$ protects top two addressed sectors                        |    |   |   |   |    |   |  |
| 04 = x8/x16, $V_{CC} = 2.7 - 3.6$ V, Bottom boot sector, WP#/ACC = $V_{IL}$ protects bottom two addressed sectors                  |    |   |   |   |    |   |  |
| V1 = x8/x16, $V_{CC} = 2.7 - 3.6$ V, $V_{IO} = 1.65 - 3.6$ V, Uniform sector, WP#/ACC = $V_{IL}$ protects highest addressed sector |    |   |   |   |    |   |  |
| V2 = x8/x16, $V_{CC} = 2.7 - 3.6$ V, $V_{IO} = 1.65 - 3.6$ V, Uniform sector, WP#/ACC = $V_{IL}$ protects lowest addressed sector  |    |   |   |   |    |   |  |

| Repères topo | Quantité | Référence | Désignation              | Part number           | Fabricant       | Fournisseur 1 | Réf fournisseur 1 |
|--------------|----------|-----------|--------------------------|-----------------------|-----------------|---------------|-------------------|
| C1-C20       | 20       | 100nF     | CONDO 100nF 16V X7R 0603 | C0603C104K4RACTU      | KEMET           | FARNELL       | 1414610           |
| C40-C45      | 5        | 100nF     | CONDO 100nF 50V X7R 0603 | 06035C104KAT2A        | AVX             | FARNELL       | 1301804           |
| C50-C62      | 12       | 100nF     | CONDO 100nF 25V X7R 0603 | 06033C104JAT2A        | AVX             | FARNELL       | 1740614           |
| R1           | 1        | 10K       | RES 10K 5% 0805          | PWC0805-10KF          | WELWYN          | FARNELL       | 1738426           |
| R10-R13      | 4        | 10K       | RES 10K 1% 0805          | MCMR08X1002FTL        | MULTICOMP       | FARNELL       | 2073607           |
| R18          | 1        | 10K       | RES 10K 5% 1206          | MC 0.125W 1206 5% 10K | MULTICOMP       | FARNELL       | 9337016RL         |
| R23          | 1        | 10K       | RES 10K 1% 0603          | MCMR06X1002FTL        | MULTICOMP       | FARNELL       | 2073349           |
| R25-R26      | 2        | 10K       | RES 10K 1% 0402          | MCMR04X1002FTL        | MULTICOMP       | FARNELL       | 2072517           |
| R30          | 1        | 10K       | RES 10K 5% 0402          | CRG0402J10K           | TE CONNECTIVITY | FARNELL       | 1174160           |

# Choix des composants

## Compatibilité thermique

### ■ Explanation of Part Numbers

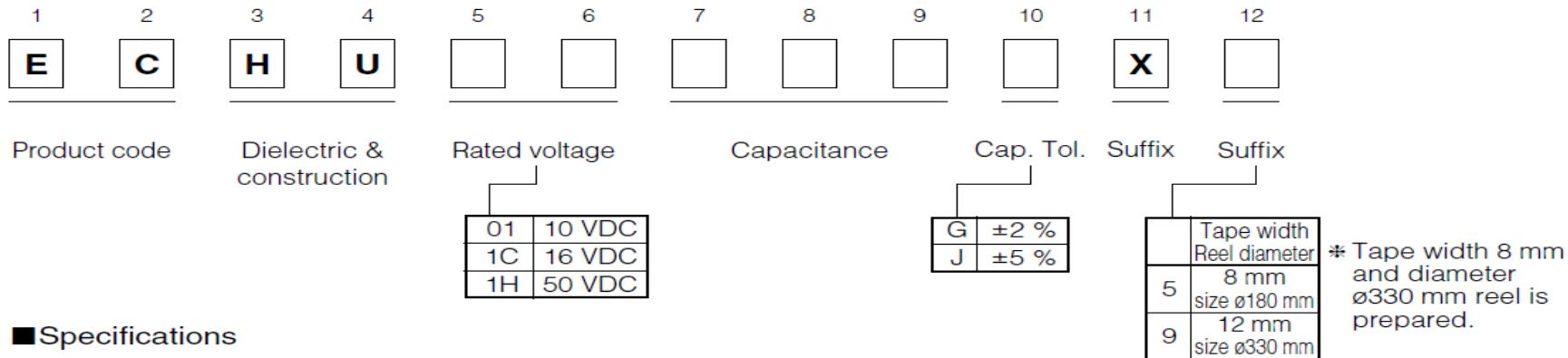


### ■ Specifications

Soldering conditions

Reflow soldering : 240 °C max. and 60 s max. at more than 220 °C (Temp. at cap. surface)  
(Please consult us for Reflow 250 °C max product.)

### ■ Explanation of Part Numbers



### ■ Specifications

Soldering conditions

Reflow soldering : 260 °C max. and 95 sec max. at more than 220 °C (Temp. at cap. surface)

\* Tape width 8 mm and diameter ø330 mm reel is prepared.

# Choix des composants

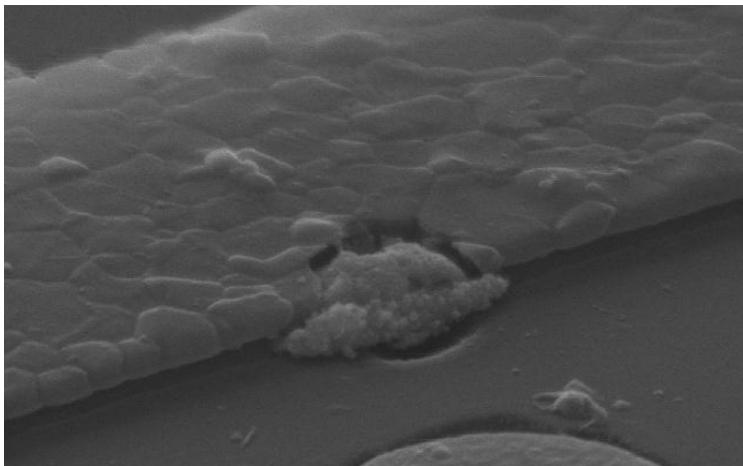
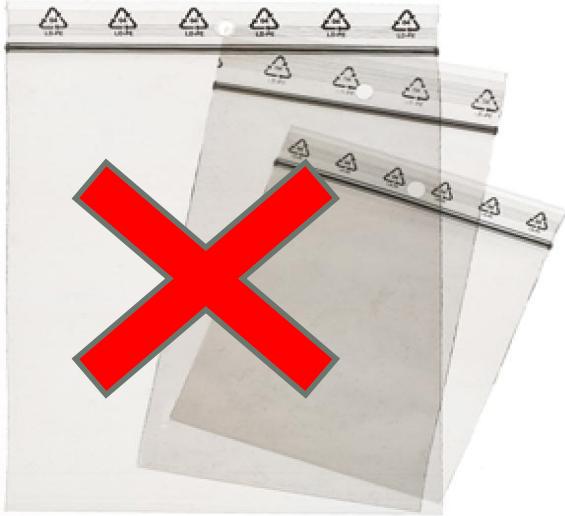
## Compatibilité thermique

**Panasonic**

SMT Aluminum Electrolytic Capacitors  
Reflow Profile

| Pre-fix | Suffix | Case Diameter | RoHS Compliant | Terminal Finish | Reflow Condition  |                | Reflow Chart                     |
|---------|--------|---------------|----------------|-----------------|-------------------|----------------|----------------------------------|
|         |        |               |                |                 | Peak Temperature  | Time above 200 |                                  |
| ECE-V   | R      | 3mm to 5mm    | No             | Sn-Pb           | 240 for 5 seconds | 20 seconds     | (1) Fig.1                        |
|         | P      | 6mm           | No             | Sn-Pb           | 240 for 5 seconds | 20 seconds     | (1) Fig.1                        |
|         | P      | 8mm to 10mm   | No             | Sn-Pb           | 230 for 5 seconds | 20 seconds     | (2) Fig.2                        |
| EEV-    | R      | 4mm to 5mm    | No             | Sn-Pb           | 240 for 5 seconds | 20 seconds     | (1) Fig.1                        |
|         | P      | 6mm           | No             | Sn-Pb           | 240 for 5 seconds | 20 seconds     | (1) Fig.1                        |
|         | P      | 8mm to 10mm   | No             | Sn-Pb           | 230 for 5 seconds | 20 seconds     | (2) Fig.2                        |
|         | Q      | 12.5mm        | Yes            | Sn              | 230 for 5 seconds | 20 seconds     | (2) Fig.2 (Except for EB series) |
|         | M      | 16mm to 18mm  | Yes            | Sn              | 230 for 5 seconds |                | (3) Fig.3 (EB series only)       |
| EEE-    | R      | 3mm to 5mm    | Yes            | Sn-Bi           | 250 for 5 seconds | 60 seconds     | (4) Fig.4                        |
|         | P      | 6mm           | Yes            | Sn-Bi           | 250 for 5 seconds | 60 seconds     | (4) Fig.4                        |
|         | P      | 8mm to 10mm   | Yes            | Sn-Bi           | 235 for 5 seconds | 60 seconds     | (5) Fig.5                        |

## Les décharges électrostatiques (ESD)



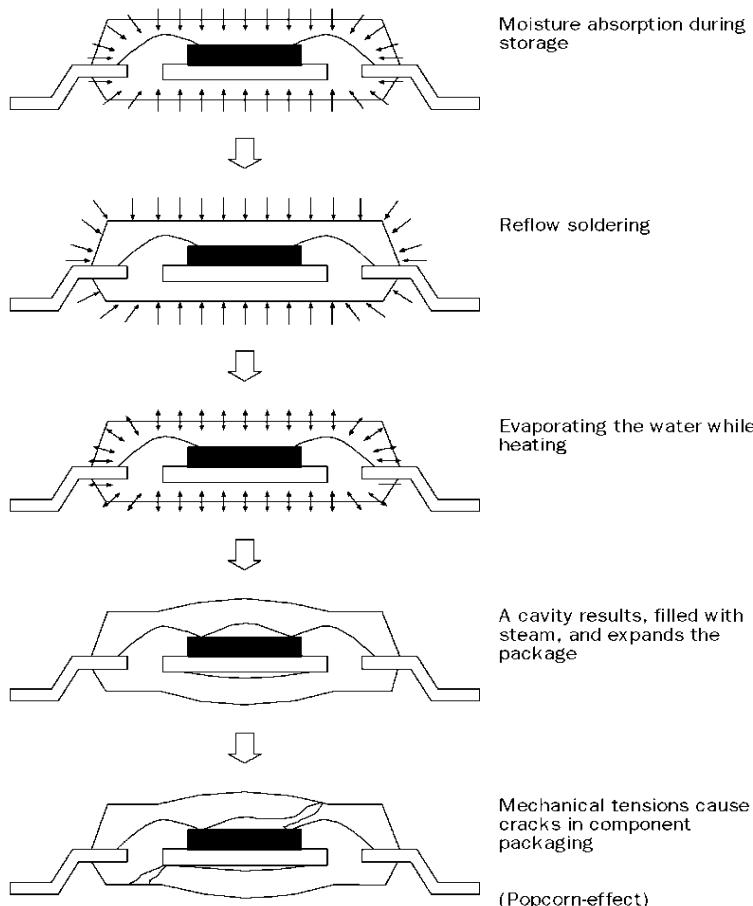
Claquage ESD en bord de grille d'un PMOS

### Conséquences des ESD ?

- **Panne irrémédiable** : Un composant détruit empêche complètement le fonctionnement de la carte. La panne est évidente, le module ne fonctionne plus.
- **Panne latente** : Un composant fragilisé donne des résultats non fiables. Il peut parfaitement passer des tests de contrôle et produire des pannes aléatoires.

## L'étuvage

Au même titre que les ESD, les problèmes liés à la reprise d'humidité doivent être traités avec beaucoup de rigueur.

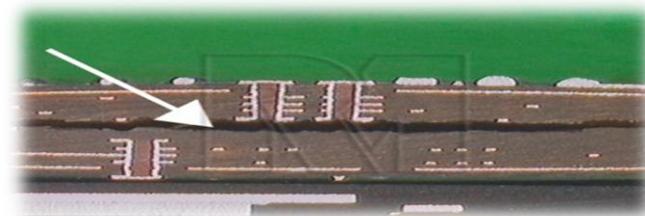


Vaporisation de l'eau :

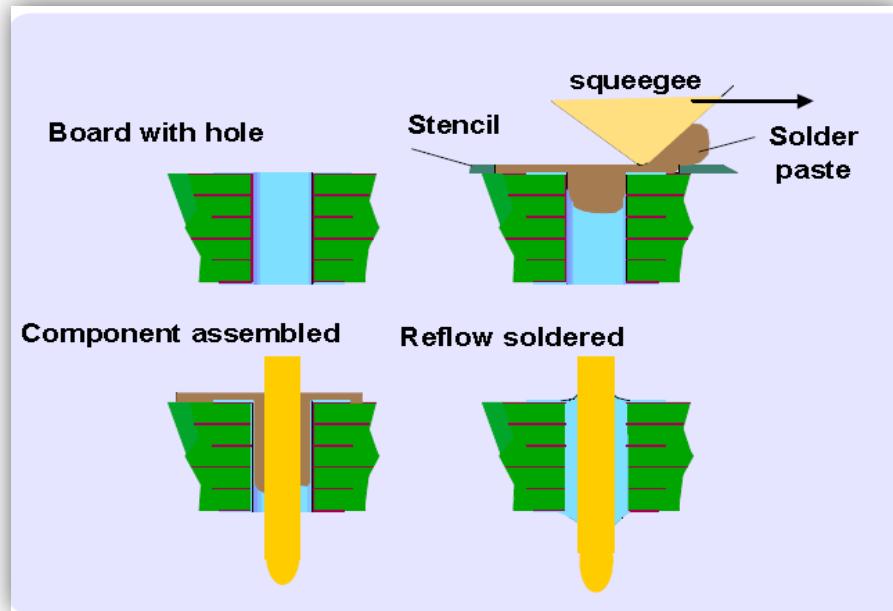
- ✓ Destruction par explosion (effet pop-corn)
- ✓ Délaminage

Classes de sensibilité standards (norme IPC/JEDEC J-STD-033) :

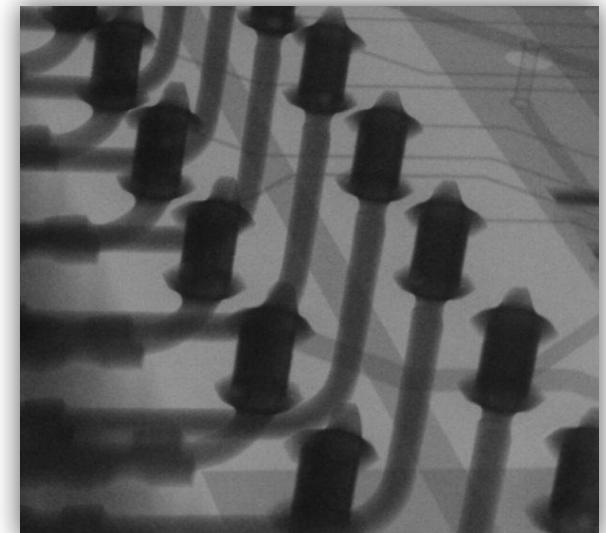
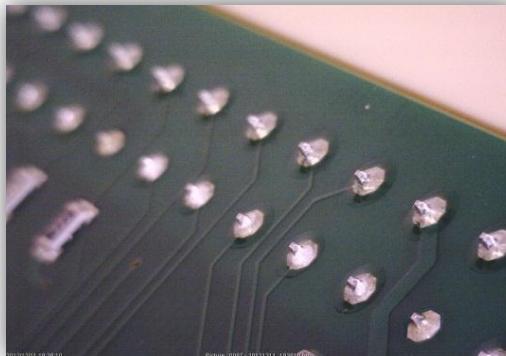
| NIVEAU    | Temps maximum hors sac sur site d'assemblage     |
|-----------|--|
| <b>1</b>  | Illimité à moins de 85% de HR                    |
| <b>2</b>  | 8760 heures (1 AN) à 30°C / 60% HR               |
| <b>2a</b> | 672 heures (4 semaines) à 30°C / 60% HR          |
| <b>3</b>  | 168 heures (1 SEMAINE) à moins de 30°C / 60 % HR |
| <b>4</b>  | 72 heures à moins de 30°C / 60% HR               |
| <b>5</b>  | 48 heures à moins de 30°C / 60% HR               |
| <b>5a</b> | 24 heures à moins de 30°C / 60% HR               |
| <b>6</b>  | Etuvage avant usage                              |



## Pin in paste



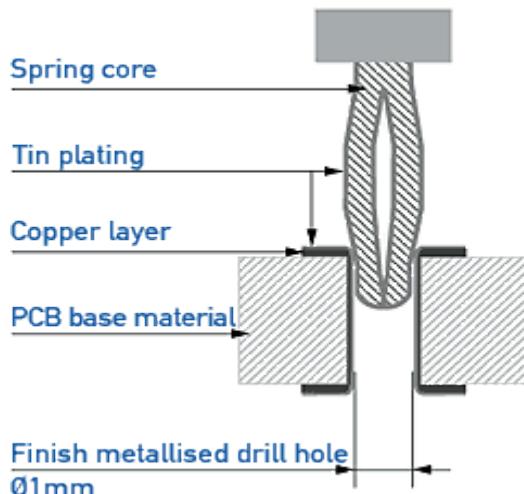
- ✓ Qualité
- ✓ Gain de temps
- ✓ Robustesse du procédé
- ✓ Réduction du nombre de phase d'assemblage



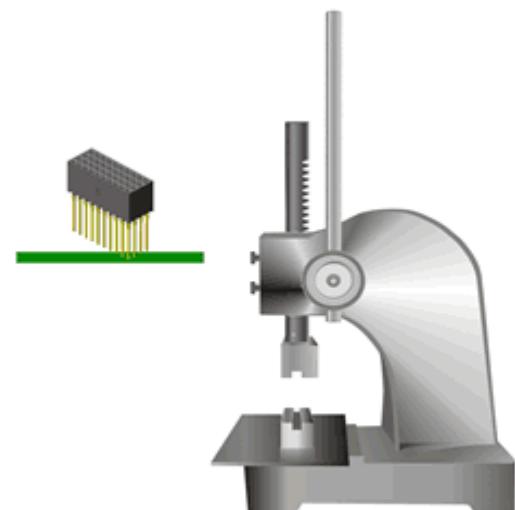
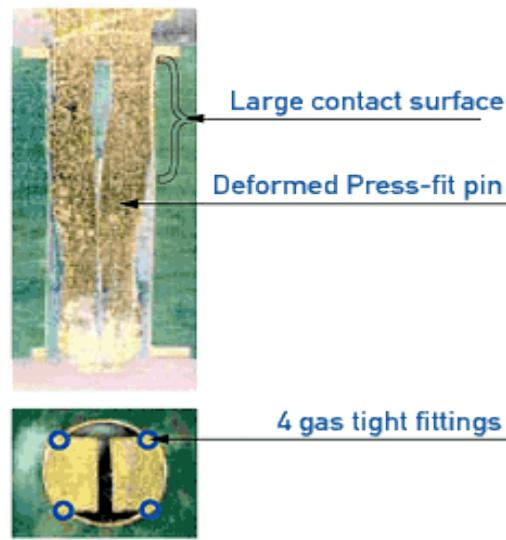
## Press-fit

Cette technique permet la suppression de la soudure pour relier mécaniquement et électriquement une pièce mécanique à un circuit imprimé.

### Press-fit structure



### Sectional view

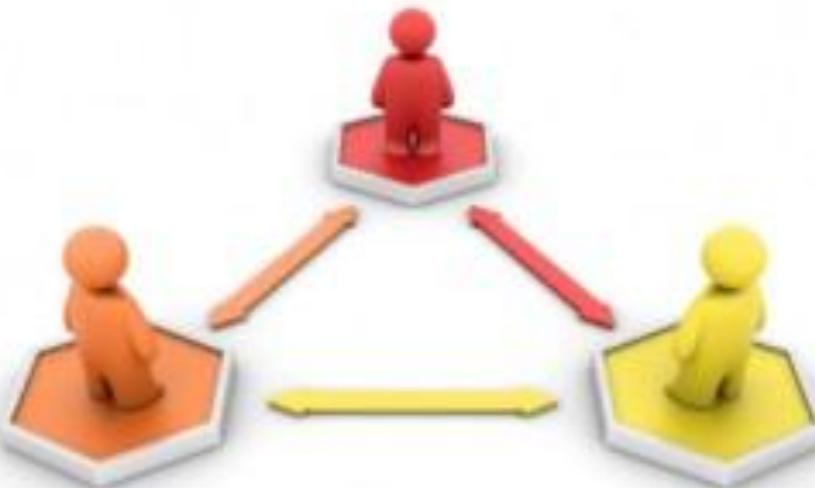


Avantage majeur : Pas de vieillissement des joints brasés

Contrainte : Il faut que les perçages soient d'un diamètre identique

Industrialiser un produit électronique demande une étroite collaboration entre chacun des sous traitants.

### Bureau d'étude



**Sous traitance circuit imprimé**

**Sous traitance câblage**

**Merci de votre attention**

