

**ATELIER TECHNIQUE le mardi 18 novembre 2014  
à POLYTECH'TOURS, de 9h00 à 17h00**

## **Normes IPC pour la conception de cartes électroniques : prise en compte des défaillances et analyse des risques**

**Assurez l'intégrité économique de vos cartes électroniques équipées, afin de les rendre compétitives et robustes avec les certifications IPC de conception CID/CID+ (Certified Interconnect Designer), et préparez un bon rendement de production pour les sous-traitants qui fabriqueront le produit...**

Si les normes IPC concernant l'assemblage des cartes électroniques sont maintenant devenues familières aux entreprises françaises qui en ont bien compris l'utilité par rapport à la fiabilisation de leurs produits en phase fabrication, l'application de l'extension de ces normes dès la conception c'est-à-dire plus en amont, est presque totalement inexistante en France. L'objectif de ces normes est de quantifier et minimiser les risques dès la conception en analysant les défaillances possibles d'une carte, ces défaillances pouvant aller jusqu'aux problématiques d'approvisionnement ou de sous-traitance.

**Intervenant : Sylvain LE ROUX, société JETWARE**



### **PROGRAMME – accueil 9h00**

#### **- Codification internationale des IPC 2220 et 7351:**

Introduction aux recommandations IPC de conception, avec leurs codes d'identification des niveaux (A,B,C) de la complexité de réalisation et type (1/2/3/4/5) de produits suivant l'application (HDI, Flex, PCB, PCBA ...), leurs consignes de contrôle (class 1/2/3) ou modes (1/2/3) de documentation, permettant dès la conception, de prendre en compte le rendement industriel de production d'une carte électronique.

#### **- Documentation du PCB : IPC 2610**

Description du Master drawing d'une carte électronique qui, mis en oeuvre correctement, permet l'évaluation suffisamment précise des coûts de fabrication des PCBA en série, bien avant que le routage ne soit terminé, afin de pérenniser le chiffrage de la BOM du produit fini testé.

#### **- Règles de routage IPC 2220 et 7351 du PCB: DFX = DFManufacturing + DFAssembly + DFTest + DFReliability**

Définition précise des empreintes des boîtiers et de l'encombrement des composants, en tenant compte de la complexité de routage CAO et d'assemblage qui en découlent, afin d'établir une stratégie de test (AOI, CIT, AXI), maîtriser les brasures et assurer la fiabilité du produit. Identification des motifs de cuivre (trous métallisés, pistes et pastilles) et des isollements (selon les tensions utilisées), permettant de réussir l'interconnexion des composants en respectant les capacités de fabrication (DFM) des sous traitants susceptibles de réaliser le PCB.

#### **- Intégrité fonctionnelle du PCB : CID/CID+**

Traitement et mise en oeuvre des consignes fonctionnelles du PCB, Electriques (RLC, CEM, PDS, HF, RF), Thermiques (MOT, W/mK, °K/W), Mécaniques (module de flexion, Young, forme du PCB), Environnementales (humidité, T°, vibrations, chocs) et Vieillessement (CAF, MTBF).

#### **- Empilage des PCB : IPC 4412 Verre E/ 4562 Cuivre / 4101**

Composite Identification des matériaux de base (tissus de verre E, cuivre, type de résines, charges) utilisés pour les laminés cuivrés et les pré-pregs FR4 IPC 4101 identifiables en performances, pour supporter les températures des cycles d'assemblage et de réparation avec/sans plomb. Constructions symétriques de PCB multicouches, tenant compte du comportement des matériaux utilisés pendant les étapes de fabrication.

#### **- Fabrication des PCB et PCB HDI : IPC 6010**

Description synthétique et accessible des différentes étapes de fabrication des PCB multicouche et PCB HDI, permettant de comprendre la manipulation des fichiers, la complexité de réalisation, la capacités des fabricants, la fiabilité de leurs procédés par le contrôle IPC 1/2/3, et savoir identifier des délais de réalisation pertinents, dépendants du type d'interconnexion mis en oeuvre sur une carte électronique.

#### **- Prix des PCB HDI : IPC 2220**

Analyse d'architectures de PCB HDI permettant d'optimiser les performances électroniques de composants de haute densité (µBGA, QFN) en soulageant la méthode de fabrication, pour un approvisionnement multi-sources, supporté par un Master drawing IPC réalisé par un CID.

**Personnes concernées** : Responsables de projets, Ingénieurs, Techniciens en charge de la conception, de la fabrication, des achats ou de la qualité du développement des systèmes embarqués électroniques.

**Lieu** : POLYTECH'TOURS, Département Electronique et Energie, 7 avenue Marcel Dassault, 37200 TOURS

**Date** : mardi 18 novembre 2014 de 9h00 à 17h00

**Prix** : Les frais liés à l'organisation de ce séminaire sont pris en charge par CAP'TRONIC et le Pole S2E2.

**Contact** : Jean-Marie LECLERCQ – 06 83 11 98 39 - **Inscription en ligne** : [cliquer ici](#)