

Outils et langages Gratuits et/ou open-source Pour les FPGA

Adrien Prost-Boucle, Olivier Muller, Frédéric Rousseau

**Laboratoire TIMA – CNRS/Grenoble-INP/UJF
46 Avenue Félix Viallet, 38031 Grenoble cedex**



Intérêt pour le gratuit et/ou open source

- **Évaluer un logiciel**

- **Trouver le FPGA adapté**

- **Garanties**
 - **Fonctionnalités**
 - **Support**

- **Coût**

Plan

1 – Flot de conception en RTL & HLS

2 – RTL : Logiciels gratuits des fabricants

Xilinx, Altera, Actel, Achronix, Lattice

3 – HLS : Logiciels gratuits C → RTL

GAUT

LegUp

ROCCC

PandA

HerculeS

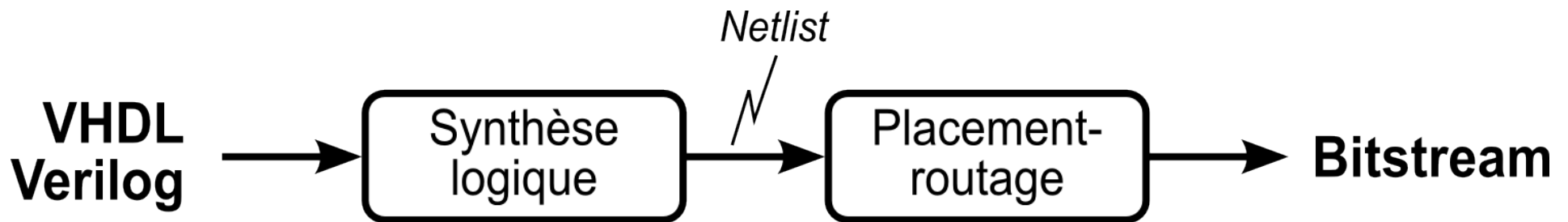
ngDesign

4 – HLS : Logiciel AUGH

Flot niveau RTL

RTL = Register-transfer level

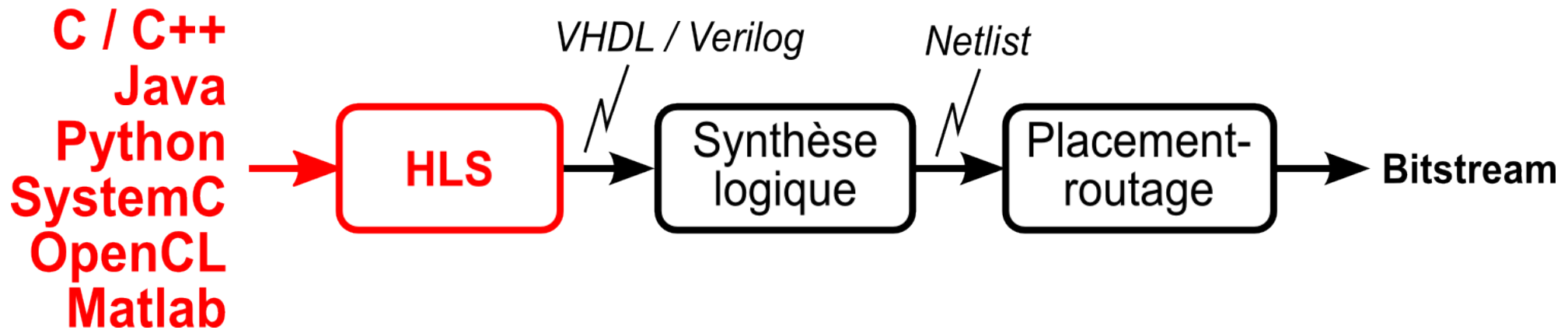
HDL = Hardware description language



- **Langages spécifiques au design matériel**
- **Point d'entrée traditionnel**
- **Support très large**
- **Fastidieux**

Synthèse de haut niveau

HLS = High-Level Synthesis



- **Plus accessible**
- **Facilite la validation des algorithmes**
- **Exploration des solutions**

Langages d'entrée en HLS

→ **C** : Nombreux logiciels gratuits

(→ **Java** : Synthesijer)

(→ **Python** : MyHDL)

AUTRES : AUCUN SUPPORT GRATUIT

→ **C++ / SystemC** :

Xilinx, Altera (1000\$ - 5000\$)

Catapult (100k\$?)

Synopsys, Cadence...

→ **OpenCL** : Supporté chez Altera, bientôt Xilinx

→ **Matlab** : License spécifique HDL Coder

+ Altera DSP Builder / Xilinx System Generator

Plan

1 – Flot de conception en RTL & HLS

2 – RTL : Logiciels gratuits des fabricants

Xilinx, Altera, Actel, Achronix, Lattice

3 – HLS : Logiciels gratuits C → RTL

GAUT

LegUp

ROCCC

PandA

HerculeS

ngDesign

4 – HLS : Logiciel AUGH

Xilinx : ISE WebPack

- **Seulement pour FPGA les plus réduits**
- **WebTalk, indiscret**

- **Synthèse VHDL, Verilog**
- **CORE Generator**
- **Simulateur, version bridée**

- **Processeur Microblaze : "microcontroller"**
 SDK : oui

- **Analyseur logique : non**



Altera : Quartus II Web Edition

- **Seulement pour familles de FPGA les plus réduites**
- **TalkBack, indiscret**

- **Synthèse Schematic, VHDL, Verilog, System Verilog**
- **Simulateur : Modelsim, version limitée**
- **Générateur IP : licences séparées**

- **Processeur NIOS II + Design Suite : oui**

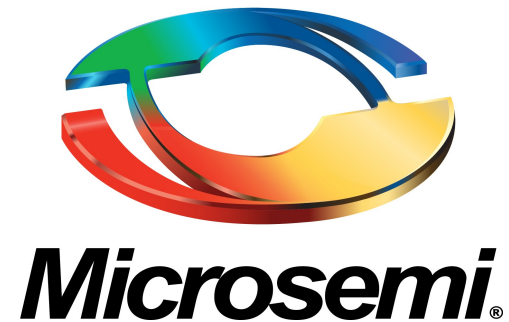
- **Analyseur logique : non**



Actel / Microsemi, Achronix, Lattice

Actel / Microsemi : Libero SoC / IDE

- Support d'un nombre réduit de FPGA
- Catalogue d'IP : réduit



Achronix : ACE

- Version d'essai 45 jours



Lattice Semiconductors : Diamond

- Support d'un nombre réduit de FPGA
- Autres limitations ?



Plan

1 – Flot de conception en RTL & HLS

2 – RTL : Logiciels gratuits des fabricants

Xilinx, Altera, Actel, Achronix, Lattice

3 – HLS : Logiciels gratuits C → RTL

GAUT

LegUp

ROCCC

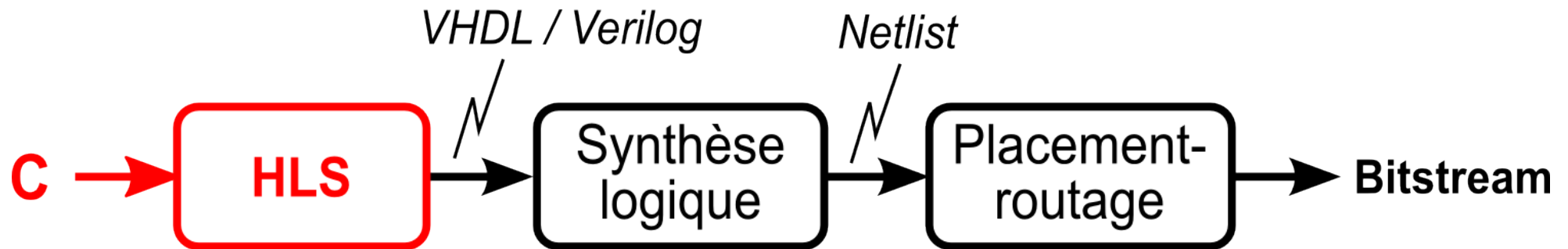
PandA

HerculeS

ngDesign

4 – HLS : Logiciel AUGH

Rappel : Chaîne logicielle en HLS

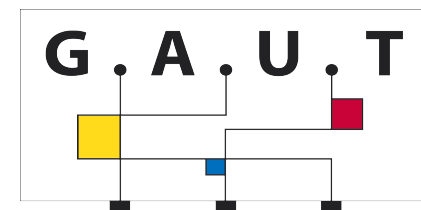


Points d'intérêt :

- **License**
- **Type d'application (DSP, ...)**
- **Préférence fabricant FPGA**
- **Support du langage C**
- **Langage RTL généré**
- **Activité du projet**

GAUT

License	CeCILL-B
Application	DSP Contrainte en latence
Support C	Élevé
RTL	VHDL générique
Préf. FPGA	Calibrations pour Xilinx, Altera
Activité	Forte
Autres	Affichage GANTT, etc



LegUp

License	Utilisation non commerciale, non lucrative
Application	Partitionnement HW / SW
Support C	Très élevé
RTL	Verilog
Préf. FPGA	Altera
Activité	Moyen
Autres	Basé sur LLVM Processeur embarqué Tiger MIPS Faible contrôle sur la taille du circuit

ROCCC

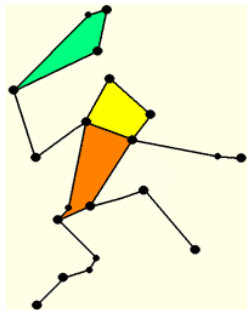
License	Eclipse Public License
Application	DSP
Support C	Faible
RTL	VHDL
Préf. FPGA	Génération PCore pour projet Xilinx
Activité	Faible
Autres	Basé sur Eclipse Sélection des optimisations Limite en nombre d'opérateurs Flottants possibles

PandA

License	GPLv3
Application	Partitionnement HW / SW Flottants
Support C	Élevé (front-end GCC)
RTL	Verilog
Préf. FPGA	
Activité	Forte
Autres	Générateur de coeurs FloPoCo Benchmark CHStone

HerculeS

License	Version gratuite, non open source
Application	
Support C	Élevé (front-end GCC) avec limites
RTL	VHDL
Préf. FPGA	Pas de préférence
Activité	Moyen (2013)
Autres	Passes d'optimisation désactivées Intégration d'IP externes Consultation par email



ngDesign

License	Version gratuite, open source Usage non commercial
Application	
Support C	Langage spécifique : Cx
RTL	VHDL (Verilog : version pro)
Préf. FPGA	
Activité	Très récent Activité forte
Autres	Contraste avec approches existantes Orienté vérification Environnement intégré



Plan

1 – Flot de conception en RTL & HLS

2 – RTL : Logiciels gratuits des fabricants

Xilinx, Altera, Actel, Achronix, Lattice

3 – HLS : Logiciels gratuits C → RTL

GAUT

LegUp

ROCCC

PandA

HerculeS

ngDesign

4 – HLS : Logiciel AUGH

AUGH

License	GPLv3
Application	Accélérateurs matériels Circuits contraints en ressources
Support C	Élevé
RTL	VHDL, générique
Préf. FPGA	Calibration pour FPGA Xilinx Génération projets ISE, Vivado
Activité	Très forte
Autres	Flot très accessible Flot automatique

AUGH : fonctionnalités actuelles

- **Technos : Xilinx Virtex-5, Virtex-7, Zynq**
- **Cartes : Xupv5, Zybo**

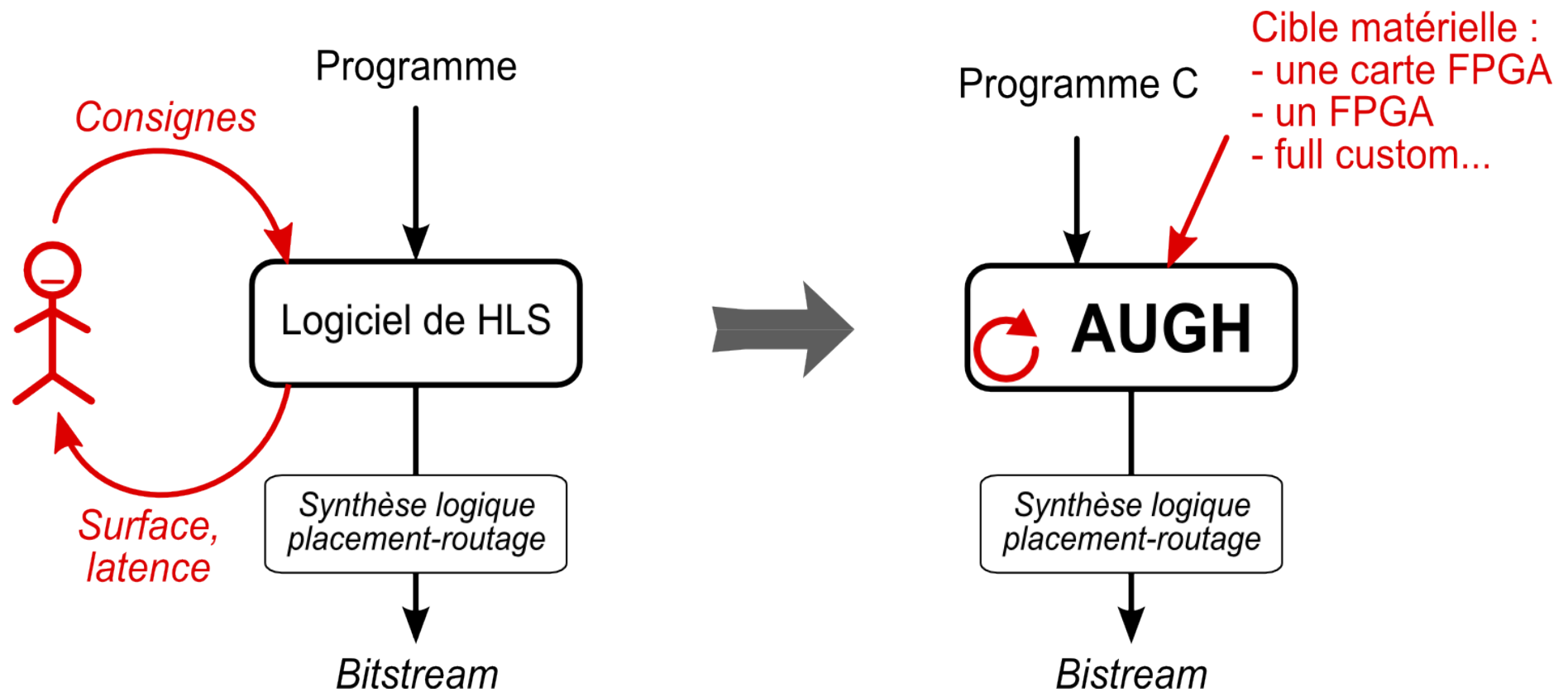
- **Très extensible : plugins
pour nouvelles technos, cartes, IP, etc**

- **Contrôle total via scripts**

- **Nos benchmarks : 200 à 1200 lignes de C**

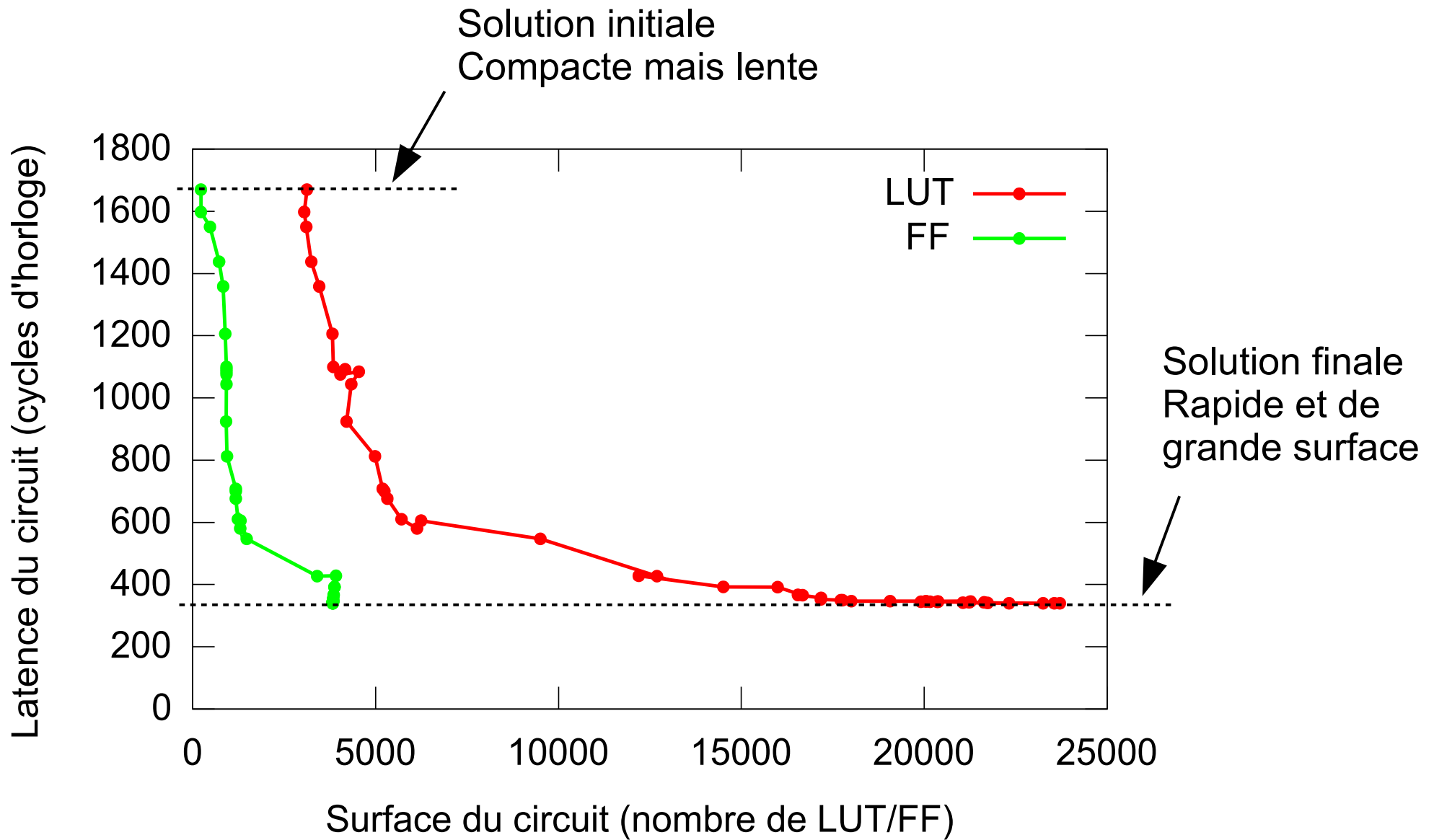
- **Exploration des solutions, autonome**
- **Contraintes en ressources fines**

Exploration des solutions



- Modèles de FPGA et de cartes, internes
- Utilisation comme un compilateur
- Automatique et très rapide

Exemple : IDCT 2D



Limites actuelles

Ce qui n'est pas (encore) géré :

- virgule flottante
- langage C : pointeurs

En cours :

- contrainte en ressources BRAM, LUTRAM
- simplification description de cartes ad hoc
- extension API pour plugins
- ajout interfaces (AXI...)

Outils et langages Gratuits et/ou open-source Pour les FPGA

Adrien Prost-Boucle, Olivier Muller, Frédéric Rousseau

**Laboratoire TIMA – CNRS/Grenoble-INP/UJF
46 Avenue Félix Viallet, 38031 Grenoble cedex**

