

SEMINAIRE

Conception VHDL pour cible FPGA et SOPC

18 Mars 2014 de 9h00 à 17h30

UTBM Site de Belfort

Objectifs : Les circuits FPGA permettent aujourd’hui de concevoir sur un même circuit intégré des applications en codesign dans laquelle matériel et logiciel se côtoient. Ce codesign permet de fusionner la flexibilité de la logique programmée sur microprocesseur et les performances de la logique câblée sur circuits programmable. Cette formation vous propose de prendre en main les outils nécessaires à la réalisation d’applications mêlant programmation de microprocesseur (code C embarqué) et accélérateurs matériels (décrits en VHDL).

Deux applications seront proposées au choix : contrôle moteur et traitement d’images

PROGRAMME

9h00 Accueil

9h10

- Introduction au langage VHDL
- Descriptions de systèmes combinatoires en VHDL
- Descriptions de systèmes séquentiels en VHDL
- Exemples

11h00

- Panorama des FPGA du marché
- Architecture des composants logiques programmables

12h30 Déjeuner

14h00

- Le concept SOPC
- Mise en œuvre / outils CAO associés
- Exemples d’applications

15h30 Pause

15h45

- Démonstration sur une étude de cas
- Applications : contrôle moteur et traitement d’images
- Questions / réponses

17h00 / 17h30

- Visite de la plateforme UTBM Génie électrique/CEM

Mercredi 18 mars 2015

De 9H00 à 17H30

UTBM Site de Belfort

Technopole - Rue Mieg

Belfort 90

[Plan d'accès](#)

Public concerné

public initié à la description VHDL des circuits logiques programmables

Intervenant

Michael Guarisco (UTBM)

Inscription obligatoire sur notre site internet

www.captronic.fr

Contact : S. Vidal - Jessica Sud Est - 17 Rue des Martyrs - 38054 Grenoble - Tel 04 38 78 42 39 - Fax 04 38 78 50 70